



(12) 发明专利

(10) 授权公告号 CN 113325215 B

(45) 授权公告日 2022.04.26

(21) 申请号 202110470078.X

H03H 17/02 (2006.01)

(22) 申请日 2021.04.28

(56) 对比文件

(65) 同一申请的已公布的文献号

申请公布号 CN 113325215 A

CN 111835354 A, 2020.10.27

CN 102780469 A, 2012.11.14

CN 103475335 A, 2013.12.25

(43) 申请公布日 2021.08.31

CN 107769784 A, 2018.03.06

CN 112035786 A, 2020.12.04

(73) 专利权人 哈尔滨工业大学

CN 101364475 A, 2009.02.11

地址 150001 黑龙江省哈尔滨市西大直街
92号

CN 108011615 A, 2018.05.08

CN 101784903 A, 2010.07.21

(72) 发明人 王国臣 何雪铭 高伟 胡醇

CN 101222213 A, 2008.07.16

赵博 王永光 赵玉欣 于飞

CN 107085144 A, 2017.08.22

张亚 沈锋

US 9608598 B1, 2017.03.28

(74) 专利代理机构 哈尔滨市阳光惠远知识产权
代理有限公司 23211

US 7170959 B1, 2007.01.30

代理人 刘景祥

石俏. 全光纤电流互感器的频率特性研究.

《中国优秀博硕士学位论文全文数据库(硕士)工
程科技II辑》. 2017, (第02期),

(51) Int. Cl.

G01R 15/24 (2006.01)

G01R 19/00 (2006.01)

审查员 王蒙

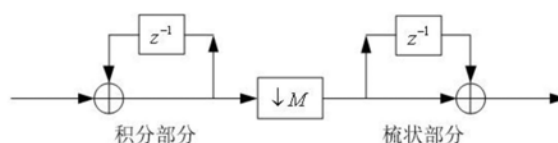
权利要求书2页 说明书5页 附图2页

(54) 发明名称

一种基于多级梳状滤波的光纤电流互感器
输出控制器的设计方法

(57) 摘要

本发明公开了一种基于多级梳状滤波的光
纤电流互感器输出控制器的设计方法。步骤1:根
据光纤电流互感器的闭环系统结构参数仿真确
定多级梳状滤波器的级数与降采样率;步骤2:根
据步骤1确定的多级梳状滤波器设计FPGA模块;
步骤3:根据步骤2的FPGA模块确定输出控制器。
本发明用以解决采用FIR滤波器时阶数要求较
高,滤波器中存在精度要求较高的浮点数,在保
证实时抽取运算的同时,难以转换采样率的问题。



1. 一种基于多级梳状滤波的光纤电流互感器输出控制器的设计方法,其特征在于,所述设计方法具体包括以下步骤:

步骤1:根据光纤电流互感器的闭环系统结构参数仿真确定多级梳状滤波器的级数与降采样率;

步骤2:根据步骤1确定的多级梳状滤波器设计FPGA模块;

步骤3:根据步骤2的FPGA模块确定输出控制器;

所述步骤1的多级梳状滤波器为多个单级梳状滤波器的级联;

所述单级梳状滤波器为Hogenauer降采样滤波器,

将梳状滤波器的FPGA实现分为积分模块、抽取模块和梳状模块;积分模块实现多级级联积分器;抽取模块实现每隔M-1个信号抽取1个输出;输出一个同步数据有效指示信号rdy;在抽取数据有效指示信号rdy为高电平时,开始进行梳状模块运算;

设梳状滤波器级数为N,降采样阶数为M,则积分模块中的寄存器数据位宽估算公式为:

$$B_{\max} = B_{\text{in}} + 2N \cdot \log_2(M) \quad (4)$$

式中, B_{in} 为梳状滤波器输入数据位宽;则根据式(4)可计算出积分模块中间数据寄存器的数据位宽为90位。

2. 根据权利要求1所述一种基于多级梳状滤波的光纤电流互感器输出控制器的设计方法,其特征在于,所述单级梳状滤波器为单级CIC滤波器,所述单级CIC滤波器的离散传递函数H(z)为:

$$H(z) = \frac{1 - z^{-M}}{1 - z^{-1}} \quad (1)$$

其中,z为频率相关自变量,M为降采样阶数;

令 $z = e^{j\omega}$,得其幅频响应为:

$$H(e^{j\omega}) = \frac{\sin \frac{M\omega}{2}}{\sin \frac{\omega}{2}} e^{j\omega \frac{1-M}{2}} = \frac{M \cdot \text{Sa}(\frac{M\omega}{2})}{\text{Sa}(\frac{\omega}{2})} e^{j\omega \frac{1-M}{2}} \quad (2)$$

其中, $\text{Sa}(\omega) = \frac{\sin(\omega)}{\omega}$ 为采样函数;M为降采样阶数; ω 为角频率;j为虚数单位;仿真得到不同降采样阶数M下单级CIC滤波器的频谱特性。

3. 根据权利要求2所述一种基于多级梳状滤波的光纤电流互感器输出控制器的设计方法,其特征在于,当CIC滤波器降采样率M远大于1时,无法通过增大M来增加阻带衰减;

通过级联多个单级CIC滤波器的方法来增加阻带衰减,则N个单级CIC滤波器级联后的表达式为:

$$H(z) = \left[\frac{1 - z^{-M}}{1 - z^{-1}} \right]^N \quad (3)。$$

4. 根据权利要求1或2所述一种基于多级梳状滤波的光纤电流互感器输出控制器的设计方法,其特征在于,对所述多级梳状滤波器先进行抽取或插值,再进行线性滤波,将线性滤波后的多级梳状滤波器再次在进行抽取与插值。

5. 根据权利要求1所述一种基于多级梳状滤波的光纤电流互感器输出控制器的设计方法,其特征在于,所述Hogenauer降采样滤波器的估算公式为:

$$B_o = B_{in} + N \cdot \log_2(M) \quad (4)$$

式中, B_o 为梳状滤波器输出数据位宽。

一种基于多级梳状滤波的光纤电流互感器输出控制器的设计方法

技术领域

[0001] 本发明属于全光纤电流传感领域；具体涉及一种基于多级梳状滤波的光纤电流互感器输出控制器的设计方法。

背景技术

[0002] 光纤电流互感器是一种基于法拉第旋光效应的光纤类传感器，由于其具有体积小、绝缘性好、量程大和高暂态响应等优点，可及时感知和定位发生故障的电网线段，为继电保护装置的保护动作提供有效的判断信息，保护舰船综合电力系统安全稳定，满足舰船综合电力系统智能化设计需求，是舰船综合电力系统的最佳选择。但是在实际应用中，由于光纤电流互感器的数字输出频率与调制频率相同，过高的电流值输出频率对输出接口速率要求很高，因此一般采用并行输出，但这会造成传输距离短、抗干扰能力差的问题，同时该方案对数据的长时间存储与实时计算等要求十分高，难以实现过高电流值实时准确输出。

[0003] 因此，为了提高系统于舰船综合电力系统中使用范围，需要考虑设计输出控制环节来降低光纤电流互感器的电流输出频率，减小运算量和数据存储量，增加数据传输距离，同时也降低了对硬件接口的要求，提高了系统可靠性。现有的主流方案为采用向下抽样滤波器，降低输出采样频率。这种控制器是通过设计低通滤波器和抽取器来完成降采样功能，其中，低通滤波器的作用是防止信号频谱混叠，现有方案一般使用有限长单位冲击响应(FIR)滤波器作为低通滤波器。然而，这种方案现在还存在以下问题。光纤电流互感器采样阶数较高，若采用FIR滤波器，阶数要求较高，滤波器中存在精度要求较高的浮点数，在保证实时抽取运算的同时，难以转换采样率。

发明内容

[0004] 本发明提供了一种基于多级梳状滤波的光纤电流互感器输出控制器的设计方法，用以解决采用FIR滤波器时阶数要求较高，滤波器中存在精度要求较高的浮点数，在保证实时抽取运算的同时，难以转换采样率的问题。

[0005] 本发明通过以下技术方案实现：

[0006] 一种基于多级梳状滤波的光纤电流互感器输出控制器的设计方法，所述设计方法具体包括以下步骤：

[0007] 步骤1：根据光纤电流互感器的闭环系统结构参数仿真确定多级梳状滤波器的级数与降采样率；

[0008] 步骤2：根据步骤1确定的多级梳状滤波器设计FPGA模块；

[0009] 步骤3：根据步骤2的FPGA模块确定输出控制器。

[0010] 进一步的，所述步骤1的多级梳状滤波器为多个单级梳状滤波器的级联。

[0011] 进一步的，所述单级梳状滤波器为单级CIC滤波器，所述单级CIC滤波器的离散传递函数 $H(z)$ 为：

$$[0012] \quad H(z) = \frac{1 - z^{-M}}{1 - z^{-1}} \quad (1)$$

[0013] 其中, z 为频率相关自变量, M 为降采样阶数;

[0014] 令 $z = e^{j\omega}$, 得其幅频响应为:

$$[0015] \quad H(e^{j\omega}) = \frac{\sin \frac{M\omega}{2}}{\sin \frac{\omega}{2}} e^{j\omega \frac{1-M}{2}} = \frac{M \cdot \text{Sa}(\frac{M\omega}{2})}{\text{Sa}(\frac{\omega}{2})} e^{j\omega \frac{1-M}{2}} \quad (2)$$

[0016] 其中, $\text{Sa}(\omega) = \frac{\sin(\omega)}{\omega}$ 为采样函数; M 为降采样阶数; ω 为角频率; j 为虚数单位; 仿真得到不同降采样阶数 M 下单级 CIC 滤波器的频谱特性。

[0017] 进一步的, 当 CIC 滤波器降采样率 M 远大于 1 时, 无法通过增大 M 来增加阻带衰减;

[0018] 通过级联多个单级 CIC 滤波器的方法来增加阻带衰减, 则 N 个单级 CIC 滤波器级联后的表达式为:

$$[0019] \quad H(z) = \left[\frac{1 - z^{-M}}{1 - z^{-1}} \right]^N \quad (3)。$$

[0020] 进一步的, 对所述多级梳状滤波器先进行抽取或插值, 再进行线性滤波, 将线性滤波后的多级梳状滤波器再次在进行抽取与插值。

[0021] 进一步的, 所述单级梳状滤波器为 Hogenauer 降采样滤波器, 所述 Hogenauer 降采样滤波器对需要对积分模块中寄存器数据位宽和输出数据位宽进行扩展;

[0022] 设梳状滤波器级数为 N , 降采样阶数为 M , 则积分模块中的寄存器数据位宽估算公式为:

$$[0023] \quad B_{\max} = B_{\text{in}} + 2N \cdot \log_2(M) \quad (4)$$

[0024] 式中, B_{in} 为梳状滤波器输入数据位宽; 则根据式 (4) 可计算出积分模块中间数据寄存器的数据位宽为 90 位。

[0025] 进一步的, 所述 Hogenauer 降采样滤波器的估算公式为:

$$[0026] \quad B_o = B_{\text{in}} + N \cdot \log_2(M) \quad (4)$$

[0027] 式中, B_o 为梳状滤波器输出数据位宽。

[0028] 进一步的, 将梳状滤波器的 FPGA 实现分为积分模块、抽取模块和梳状模块; 积分模块实现多级级联积分器; 抽取模块实现每隔 $M-1$ 个信号抽取 1 个输出; 输出一个同步数据有效指示信号 rdy ; 在抽取数据有效信号 rdy 为高电平时, 开始进行梳状模块运算。

[0029] 本发明的有益效果是:

[0030] 本发明不仅降低了光纤电流互感器的电流输出频率, 而且还减小了运算量和数据存储量, 同时还增加数据传输距离, 降低对硬件接口的要求, 进而提高了光纤电流互感器系统的可靠性。

附图说明

- [0031] 附图1是本发明的单级梳状滤波器结构图。
 [0032] 附图2是本发明的单级梳状滤波器频率响应仿真图。
 [0033] 附图3是本发明的变形后5级Hogenauer梳状滤波器结构图。
 [0034] 附图4是本发明的多级梳状滤波器FPGA顶层模块设计图。
 [0035] 附图5是本发明的光纤电流互感器的闭环系统结构图。

具体实施方式

[0036] 下面将结合本发明实施例中的附图对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0037] 实施例1

[0038] 一种基于多级梳状滤波的光纤电流互感器输出控制器的设计方法,所述设计方法具体包括以下步骤:

[0039] 步骤1:根据光纤电流互感器的闭环系统结构参数仿真确定多级梳状滤波器的级数与降采样率;如图5所示光纤电流互感器的闭环系统结构示意图;

[0040] 步骤2:根据步骤1确定的多级梳状滤波器设计FPGA模块;

[0041] 步骤3:根据步骤2的FPGA模块确定输出控制器。

[0042] 进一步的,所述步骤1的多级梳状滤波器为多个单级梳状滤波器的级联。

[0043] 进一步的,所述单级梳状滤波器为单级CIC滤波器,

[0044] CIC滤波器离散域函数为:

[0045] $h(n) = \varepsilon(n) - \varepsilon(n-M)$;

[0046] $\varepsilon(n)$ 为有限长离散序列,经过Z变换可得系统函数为:

[0047] $H(z) = \frac{1-z^{-M}}{1-z^{-1}}$;

[0048] 所述单级CIC滤波器的离散传递函数H(z) 为:

[0049]
$$H(z) = \frac{1-z^{-M}}{1-z^{-1}} \quad (1)$$

[0050] 其中,z为频率相关自变量,M为降采样阶数;

[0051] 令 $z = e^{j\omega}$,得其幅频响应为:

[0052]
$$H(e^{j\omega}) = \frac{\sin \frac{M\omega}{2}}{\sin \frac{\omega}{2}} e^{j\omega \frac{1-M}{2}} = \frac{M \cdot \text{Sa}(\frac{M\omega}{2})}{\text{Sa}(\frac{\omega}{2})} e^{j\omega \frac{1-M}{2}} \quad (2)$$

[0053] 其中, $Sa(\omega) = \frac{\sin(\omega)}{\omega}$ 为采样函数; M 为降采样阶数; ω 为角频率; j 为虚数单位; 仿真得到不同降采样阶数 M 下单级 CIC 滤波器的频谱特性。

[0054] 进一步的, 当 CIC 滤波器降采样率 M 远大于 1 时, 无法通过增大 M 来增加阻带衰减;

[0055] 通过级联多个单级 CIC 滤波器的方法来增加阻带衰减, 则 N 个单级 CIC 滤波器级联后的表达式为:

$$[0056] \quad H(z) = \left[\frac{1 - z^{-M}}{1 - z^{-1}} \right]^N \quad (3)。$$

[0057] 进一步的, 对所述多级梳状滤波器先进行抽取或插值, 再进行线性滤波, 将线性滤波后的多级梳状滤波器再次在进行抽取与插值。

[0058] 进一步的, 所述单级梳状滤波器为 Hogenauer 降采样滤波器, 所述 Hogenauer 降采样滤波器需要对积分模块中寄存器数据位宽和输出数据位宽进行扩展;

[0059] 设梳状滤波器级数为 N , 降采样阶数为 M , 则积分模块中的寄存器数据位宽估算公式为:

$$[0060] \quad B_{\max} = B_{\text{in}} + 2N \cdot \log_2(M) \quad (4)$$

[0061] 式中, B_{in} 为梳状滤波器输入数据位宽; 梳状滤波器的输入信号为光纤电流互感器系统电流解调信号, 其数据位宽为 32 位, 设置系统最大抽取因子为 50, 则根据式 (4) 可计算出积分模块中间数据寄存器的数据位宽为 90 位。

[0062] 进一步的, 所述 Hogenauer 降采样滤波器的估算公式为:

$$[0063] \quad B_o = B_{\text{in}} + N \cdot \log_2(M) \quad (4)$$

[0064] 式中, B_o 为梳状滤波器输出数据位宽。

[0065] 进一步的, 将梳状滤波器的 FPGA 实现分为积分模块、抽取模块和梳状模块; 积分模块实现多级级联积分器; 抽取模块实现每隔 $M-1$ 个信号抽取 1 个输出, 同时为便于与后续梳状模块连接; 输出一个同步数据有效指示信号 rdy ; 梳状模块主要由 5 个级联的 2 阶 FIR 滤波器组成, 在抽取数据有效信号 rdy 为高电平时, 开始进行梳状模块运算。

[0066] 实施例 2

[0067] 根据光纤电流互感器的闭环系统结构参数仿真确定多级梳状滤波器的级数与降采样率, 其中单级梳状滤波器结构如图 1 所示。由图 1 可知单级 CIC 滤波器的离散传递函数为:

$$[0068] \quad H(z) = \frac{1 - z^{-M}}{1 - z^{-1}} \quad (1)$$

[0069] 令 $z = e^{j\omega}$, 可得其幅频响应为:

$$[0070] \quad H(e^{j\omega}) = \frac{\sin \frac{M\omega}{2}}{\sin \frac{\omega}{2}} e^{j\omega \frac{1-M}{2}} = \frac{M \cdot Sa(\frac{M\omega}{2})}{Sa(\frac{\omega}{2})} e^{j\omega \frac{1-M}{2}} \quad (2)$$

[0071] 式中, $Sa(\omega) = \frac{\sin(\omega)}{\omega}$ 为采样函数。仿真得到不同降采样阶数 M 下单级 CIC 滤波器的频谱特性如图 2 所示。

[0072] 从频谱图中可以看出,当CIC滤波器降采样率M远大于1时,第一旁瓣电平的幅值衰减均固定为13.46dB左右,即无法通过增大M来增加阻带衰减。显然,如此小的阻带衰减无法满足系统设计要求的50dB。因此,可以通过级联多个单级CIC滤波器的方法来增加阻带衰减,则N个单级CIC滤波器级联后的表达式为:

$$[0073] \quad H(z) = \left[\frac{1-z^{-M}}{1-z^{-1}} \right]^N \quad (3)$$

[0074] 由于级数过大会导致带内容差增大和带内平坦度较差等问题,因此通过多次仿真可得在级数N=5时,第一旁瓣电平的幅值衰减在67.3dB左右,且幅值下降速度较单级滤波明显加快,能够在不产生新的问题的情况下满足系统实际噪声抑制问题。

[0075] 在设计完多级梳状滤波器级数后,需要根据实际系统的电路进行FPGA模块的设计。5级梳状滤波器可看作5个单级梳状滤波器的级联。根据Noble恒等式定理,对于多级系统,先进行抽取或插值,再进行线性滤波等价于先进行线性滤波,在进行抽取与插值。因此,在实际应用中,为提高运行速度,减小硬件资源占用,可将多级梳状滤波器结构变换为广泛应用的Hogenauer梳状滤波器,结构如图3所示。从图中可以看出,Hogenauer降采样滤波器主要包括前端的积分模块、中间的降采样抽取模块和后端的梳状模块。输入解调电流信号首先在积分模块中进行积分运算,再输出至抽取模块中进行M倍抽取处理,最后将抽取后数据经过梳状模块滤波得到最终的输出结果。

[0076] 在使用Verilog实现梳状滤波器之前,需要考虑运算过程中数据位宽的问题,由于运算时的数据位宽较大,会导致积分模块中出现数据溢出现象,致使系统的不稳定和运算结果的不准确,因此需要对积分模块中寄存器数据位宽和输出数据位宽进行扩展。设梳状滤波器级数为N,降采样阶数为M,则积分模块中的寄存器数据位宽估算公式为:

$$[0077] \quad B_{\max} = B_{\text{in}} + 2N \cdot \log_2(M) \quad (3)$$

[0078] 式中, B_{in} 为梳状滤波器输入数据位宽。本课题中梳状滤波器的输入信号为光纤电流互感器系统电流解调信号,其数据位宽为32位,设置系统最大抽取因子为50,则根据式(3)可计算出积分模块中间数据寄存器的数据位宽为90位。

[0079] 在抽取模块和梳状模块的运算过程中,都不会产生寄存器累加导致溢出进而影响运算结果的情况。因此积分模块输出数据位数就可以看作最后滤波器输出数据位数。由于Hogenauer抽取滤波器可以看作FIR滤波器,其输出数据位数的估算可以根据FIR滤波器的结构来进行,具体的估算公式为:

$$[0080] \quad B_o = B_{\text{in}} + N \cdot \log_2(M) \quad (4)$$

[0081] 式中, B_o 为梳状滤波器输出数据位宽。根据光纤电流互感器结构参数设置,容易估算出滤波器输出数据位数为64位。

[0082] 根据图3所示滤波器结构和对运算数据位宽的分析,可将梳状滤波器的FPGA实现分为积分模块、抽取模块和梳状模块。积分模块实现5级级联积分器;抽取模块实现每隔M-1个信号抽取1个输出。同时为便于与后续梳状模块连接,输出一个同步数据有效指示信号rdy;梳状模块主要由5个级联的2阶FIR滤波器组成,在抽取数据有效信号rdy为高电平时,开始进行梳状模块运算。将以上三个模块连接起来得到5级梳状滤波器的顶层模块,5级梳状滤波器顶层模块设计图如图4所示。

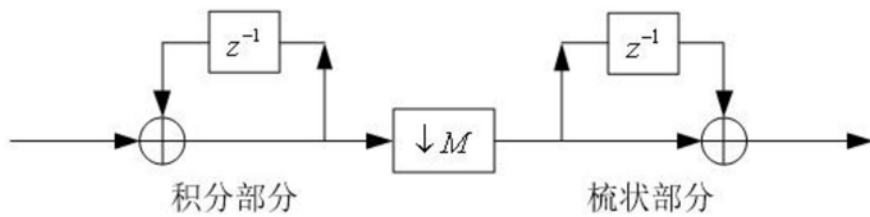


图1

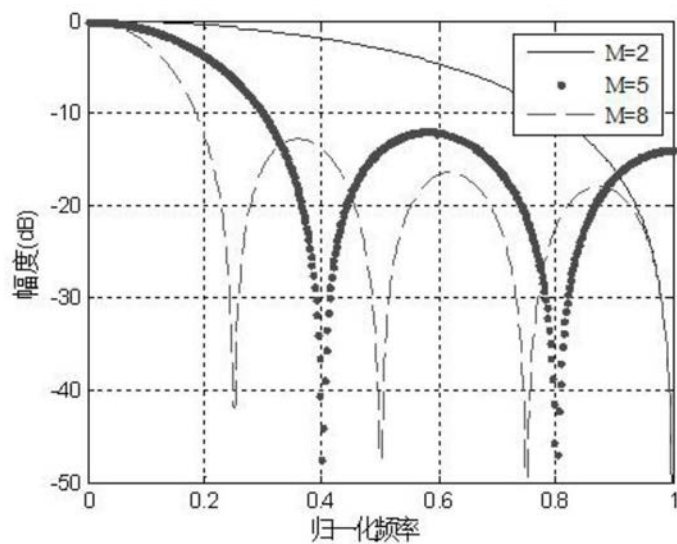


图2

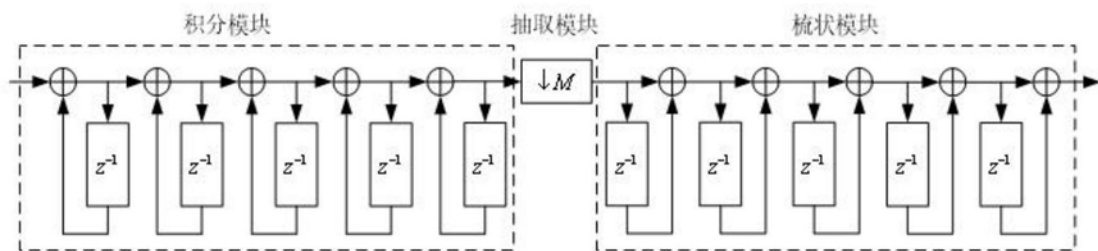


图3

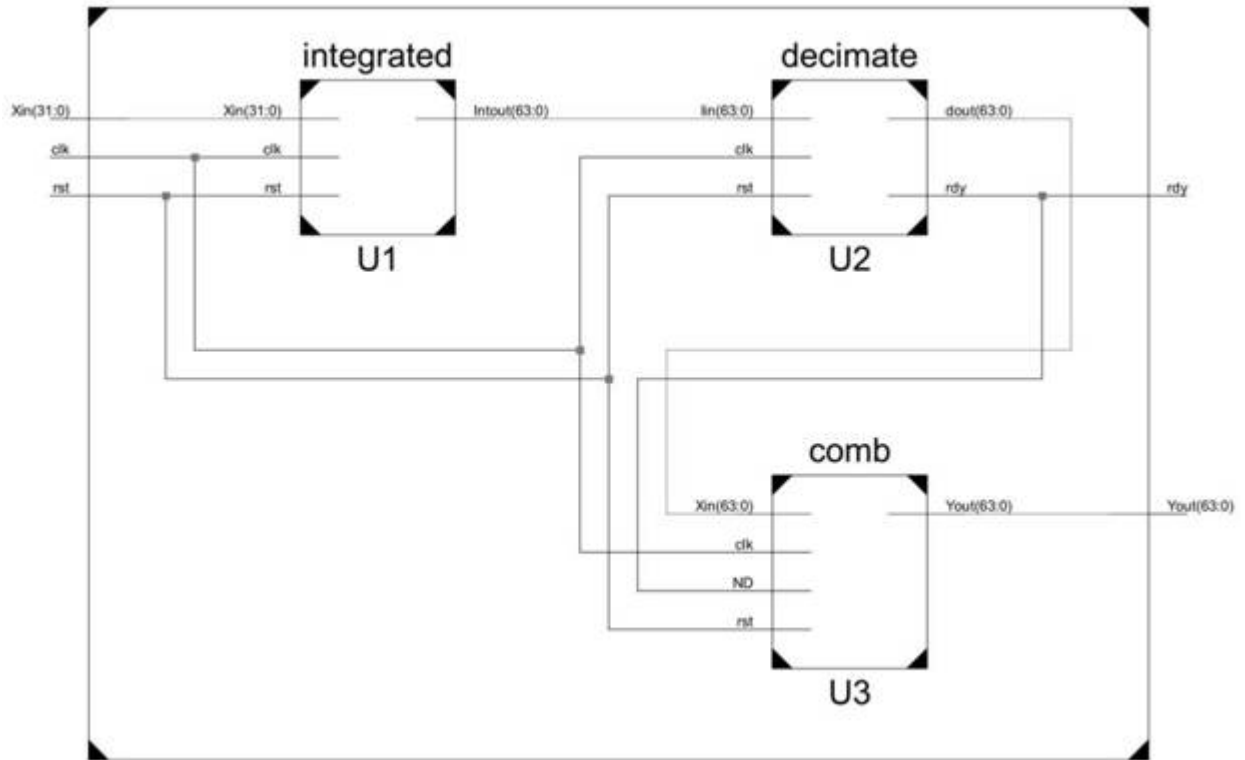


图4

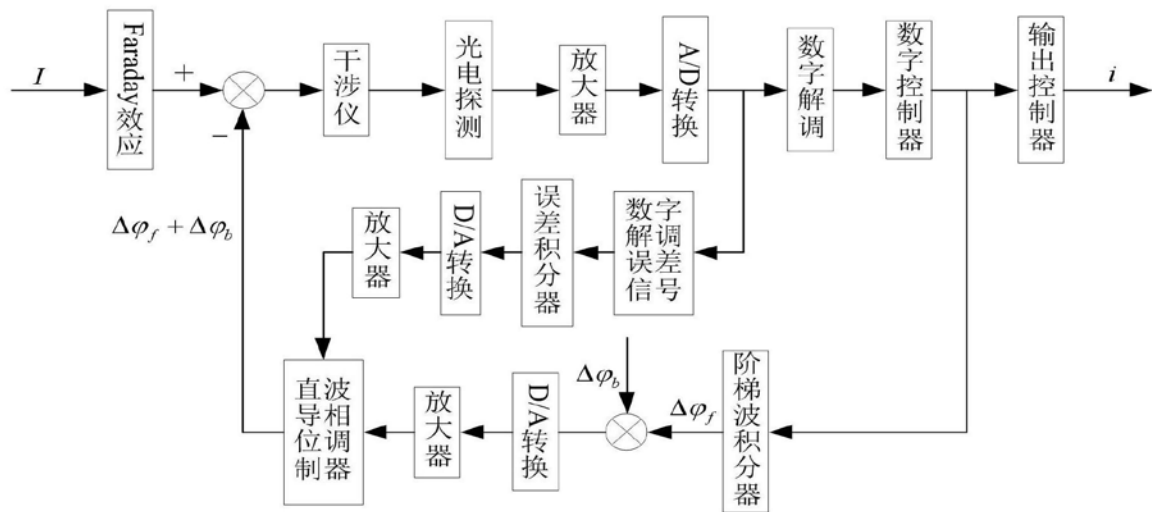


图5